

بسمه تعالی

دانشگاه کاشان
دانشکده مهندسی

دستور کار آزمایشگاه مدارهای منطقی

تهیه کننده: محمد رضا فتاح

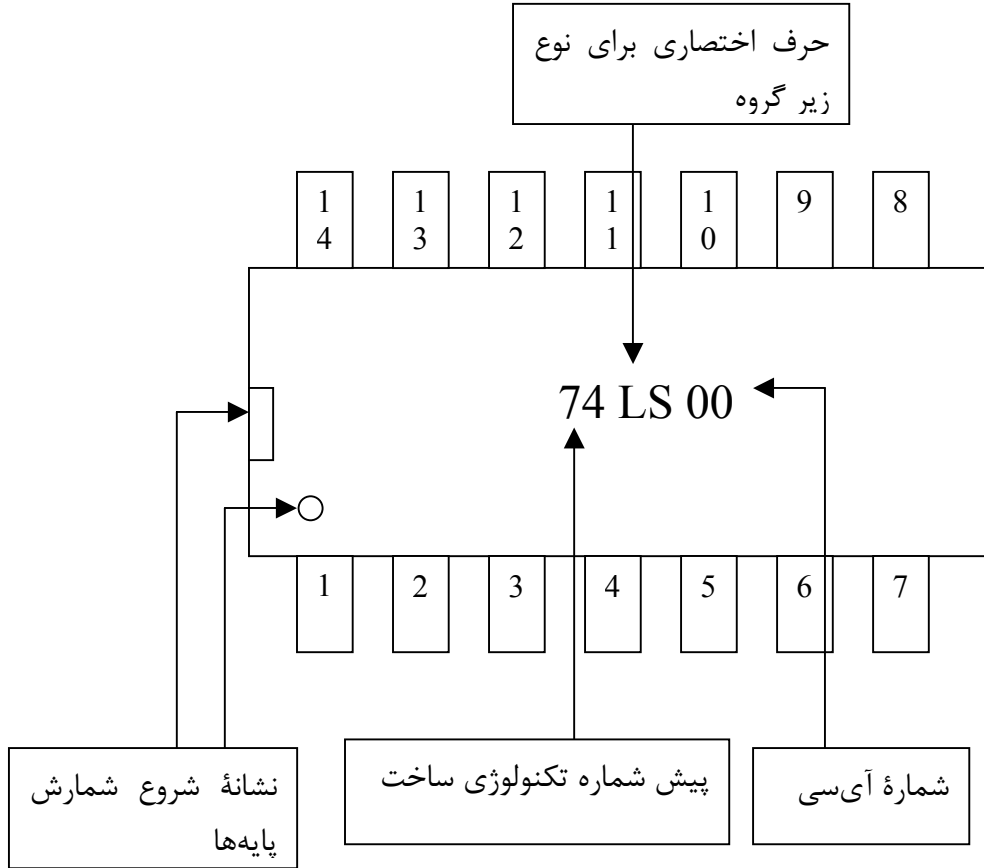
هدف از ارائه آزمایشگاه مدارهای منطقی ، آشنایی دانشجویان با چگونگی کار با تراشه‌های دیجیتال و همچنین چگونگی طراحی و پیاده سازی مدارات ساده ترکیبی و ترتیبی دیجیتال است . قبل از شروع کار در آزمایشگاه لازم است آشنایی اولیه در مورد انواع تکنولوژی آی سی‌های منطقی و همچنین نحوه کار با آنها داشته باشیم .
متداولترین خانواده‌های مدارهای منطقی که حاوی مدارهای پایه هستند عبارتند از خانواده CMOS و خانواده TTL که مورد اخیر دارای زیر گروههای مختلفی است که در جدول زیر به چند نمونه از آن اشاره شده است .

حرف اختصاری	مفهوم آن
C	نمونه CMOS آی سی TTL آن
F	نمونه سریع
H	نمونه سریع و پر قدرت
S	نمونه شاتکی
HC	نمونه سریع CMOS آی سی TTL که با CMOS سازگار است
HCT	نمونه سریع CMOS آی سی TTL که با TTL سازگار است
L	کم مصرف
LS	کم مصرف با ورودی شاتکی
ALS	نمونه پیشرفته کم مصرف با ورودی شاتکی

سطح تغذیه در خانواده TTL ولتاژ نامی +۵ و در خانواده CMOS از +۳ تا ۱۵ ولت تغییر می کند . همچنین سطوح منطقی صفر و یک برای هر کدام از این دو خانواده در جدول زیر ذکر شده است .

CMOS	TTL	
بیش از دو سوم تغذیه	بیش از ۲ ولت	سطح منطقی ۱
کمتر از یک سوم تغذیه	کمتر از ۰/۸ ولت	سطح منطقی ۰
بین یک سوم و دو سوم تغذیه	بین ۰/۸ - ۲ ولت	نا معتبر

برای شناخت یک تراشه دیجیتال از نظر نوع تکنولوژی و نوع کاربرد آن ، می توان از شماره مخصوصی که روی هر آی سی نوشته شده است استفاده کرد و با مراجعه به کتابچه‌های CMOS یا TTL با عملکرد آن تراشه بصورت کامل آشنا شد . متداولترین آی سی‌های TTL با پیشوند ۷۴ و آی سی‌های CMOS با پیشوند ۴ متمایز می گردند . در شکل بعد نحوه شناخت تراشه و ترتیب قرار گرفتن پایه‌های آن آورده شده است .



آزمایش اول

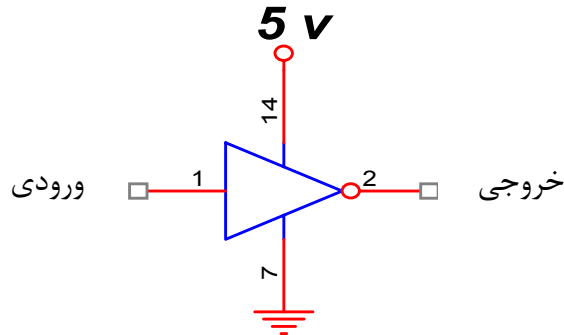
آشنایی با تراشه‌های گیت‌های منطقی

وسائل مورد نیاز : منبع تغذیه ، مالتی متر ، بردبورد ، تراشه‌های ۷۴۰۰ (NAND) ، ۷۴۰۴ (NOT) ، ۷۴۰۸ (AND) و ۴۰۱۱ (NAND CMOS)

آزمایش ۱-۱

در این آزمایش تراشه ۷۴۰۴ که حاوی شش عدد معکوس کننده می باشد را مورد آزمایش قرار می‌دهید .
 الف - ابتدا منبع تغذیه را روشن نموده و سپس ولتاژ آنرا بر روی ۵ ولت تنظیم نمایید . اکنون موقتاً منبع را خاموش کنید . در مرحله بعد با استفاده از سیم‌هایی که در اختیار دارید سر مثبت منبع را به یکی از ردیف‌های بالای بردبورد و سر زمین آنرا به یکی از ردیف‌های پایین متصل نمایید .
 ب - تراشه ۷۴۰۴ را بر روی بردبورد قرار دهید و در ابتدا سرهای تغذیه تراشه را توسط سیم به ردیف‌های تغذیه مربوطه روی بردبورد متصل نمایید . توجه کنید در هنگام متصل نمودن پایه‌های تغذیه تراشه به ولتاژ ، حتماً منبع ولتاژ خاموش باشد . بعد از این مرحله می‌توانید تغذیه را روشن نمایید .
 ج - اکنون با استفاده از گیت NOT با ورودی سر شماره ۱ و خروجی سر شماره ۲ جدول زیر را تکمیل کنید . ولتاژهای ۰ و ۵ ولت با اتصال دادن سر شماره ۱ به ردیف زمین یا ردیف ۵ ولت بدست می‌آید . ولتاژ خروجی سر شماره ۲ توسط ولت‌متر اندازه‌گیری می‌شود .

ورودی	خروجی
0 ولت	
۵ ولت	

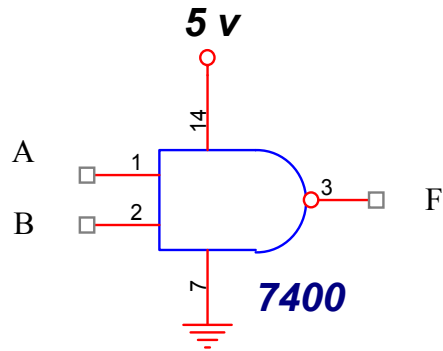


حال با استفاده از جدول بالا ، جدول ترکیبات گیت NOT را بنویسید .
 در ادامه آزمایش سر ورودی گیت NOT را باز بگذارید و باز هم ولتاژ سر خروجی را اندازه بگیرید . آیا خروجی در حالت منطق صفر است یا یک ؟

آزمایش ۱-۲

یک تراشه ۷۴۰۰ (حاوی چهار گیت NAND) را روی بردبورد قرار دهید و آنرا تغذیه نمایید و سپس با استفاده از گیت NAND با سرهای ورودی ۱ و ۲ و سر خروجی ۳ ، جدول مربوطه را تکمیل کنید .

ولتاژ ورودی		ولتاژ خروجی
A	B	F
0	0	
0	5	
5	0	
5	5	



حال با استفاده از جدول بالا ، جدول ترکیبات گیت NAND دو ورودی را بنویسید .
 اکنون می‌خواهیم اثر باز ماندن سرهای ورودی را بررسی نماییم . با استفاده از مدار آزمایش قبل جدول زیر را تکمیل نمایید .

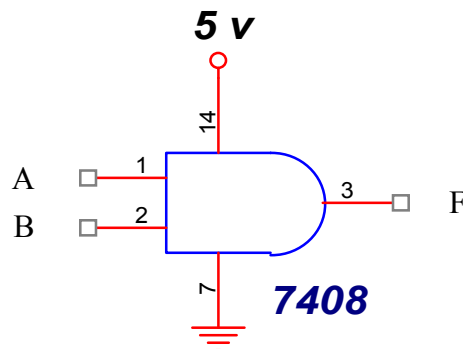
A	B	F
0	باز	
باز	0	
5	باز	
باز	باز	

با توجه به جدول روبرو اگر سرهای ورودی گیت AND باز بماند این ورودی معادل چه منطقی عمل می‌کند ؟

آزمایش ۳-۱

با استفاده از یک تراشه ۷۴۰۸ (شامل چهار گیت AND) مدار زیر را ببندید و سپس جدول زیر را تکمیل نمایید .

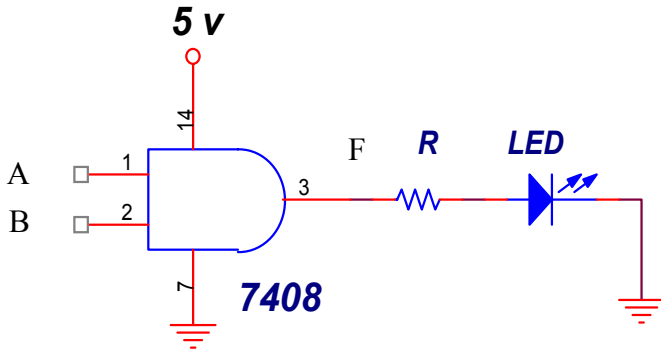
A	B	F
0	0	
0	5	
5	0	
5	5	
0	باز	
باز	0	
5	باز	
باز	باز	



سؤال - با توجه به آزمایشهای انجام شده اگر سر ورودی یک گیت از خانواده TTL باز بماند ، در این صورت آن ورودی ، معادل چه منطقی عمل می کند ؟

آزمایش ۴-۱

حالت خروجی یک مدار (High یا Low) را می توان با استفاده از دیود نورانی (LED) مشاهده نمود . در این مرحله با توجه به مدار زیر آزمایش قبل را تکرار کنید .



$$R = \frac{V_{DD} - V_{Don}}{I_{Dmax}}$$

$$V_{DD} = 5v$$

$I_{Dmax} = 16mA$: بیشترین جریان قابل تحمل LED

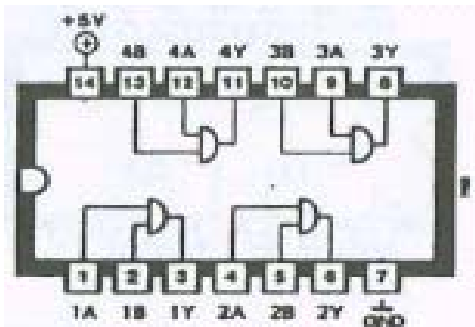
$V_D = 1.6v$ افت ولتاژ دو سر دیود نورانی در هنگام روشن بودن

مقاومت R به منظور محدود کردن شدت جریان و جلوگیری از سوختن دیود و تراشه ، بکار رفته است .

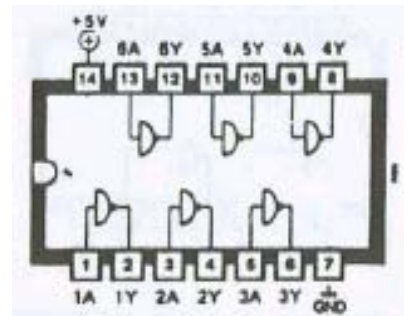
آزمایش ۵-۱

آزمایش ۱-۲ را در مورد تراشه CMOS گیت NAND یعنی ۴۰۱۱ تکرار کنید .

سؤال - اگر سر ورودی یک گیت CMOS باز بماند ، آن ورودی معادل چه منطقی عمل می کند ؟



7408



7404

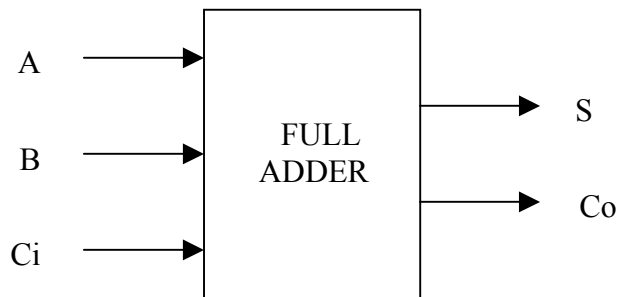
آزمایش دوم

مدارهای جمع کننده و مقایسه کننده

اهداف : طراحی مدارهای جمع کننده کامل و جمع کننده چهار بیتی ، و آشنایی با تراشه جمع کننده چهار بیتی ۷۴۸۳ و طراحی مدار مقایسه کننده یک بیتی و آشنایی با تراشه ۷۴۸۵
 وسائل مورد نیاز :منبع تغذیه ، برد بورده ، دیود نورانی ، تراشه های (NAND) ۷۴۰۰ ، (XOR) ۷۴۸۶ ، (۷۴۸۳)
 (جمع کننده چهار بیتی) و ۷۴۸۵ (مقایسه کننده چهار بیتی)

آزمایش ۱-۲

با استفاده از تراشه های ۷۴۰۰ و ۷۴۸۶ یک جمع کننده کامل (شکل ۱-۲) طراحی نمایید . سعی کنید تعداد گیتها حداقل باشد . مدار خود را بسته و سپس جدول ترکیبات آنرا به کمک آزمایش بدست آورید . شکل مدار را بطور کامل با استفاده از گیتها رسم کنید .



شکل ۱-۲ : جمع کننده کامل

آزمایش ۲-۲

تراشه ۷۴۸۳ یک جمع کننده کامل چهار بیتی می باشد . این تراشه را مورد آزمایش قرار داده و جدول زیر را تکمیل نمایید .

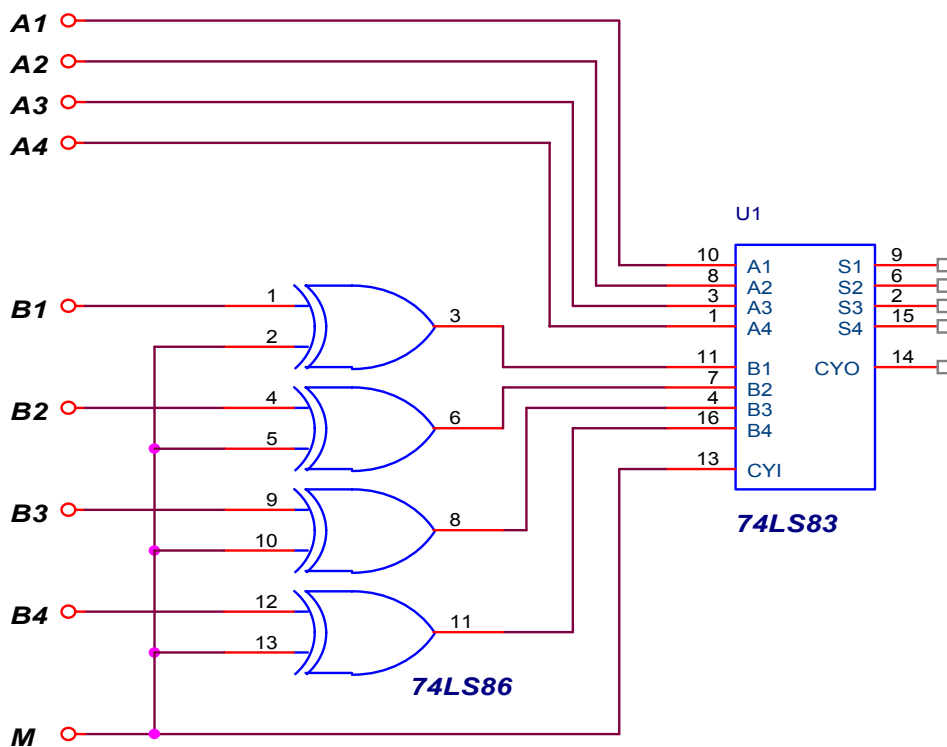
Co	A				B				C4	S			
	A4	A3	A2	A1	B4	B3	B2	B1		S4	S3	S2	S1
0	0	0	0	0	0	0	0	0					
0	0	0	0	1	0	0	0	1					
0	0	0	1	1	0	0	0	1					
1	0	1	0	0	0	1	0	0					
1	0	1	1	1	1	0	0	0					
0	1	1	1	1	1	1	1	1					
1	1	1	1	1	1	1	1	1					
1	0	1	1	0	1	0	1	0					

آزمایش ۳-۲

شکل زیر یک جمع کننده و تفریق کننده چهار بیتی می‌باشد. ضمن توضیح در مورد طرز کار آن، مدار آنرا بسته و مورد آزمایش قرار دهید.

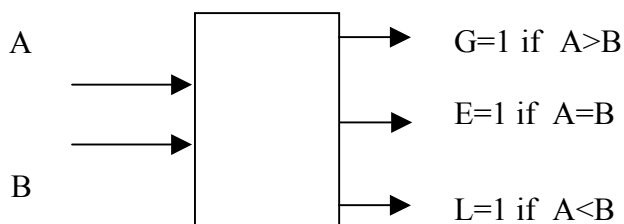
سؤال: چگونه می‌توان با استفاده از دو تراشه ۷۴۸۳ یک جمع کننده هشت بیتی ساخت؟ طرح خود را به طور کامل رسم نمایید.

سؤال: با استفاده از کتابها و کاتالوگهای موجود شماره چند تراشه جمع کننده دیگر از خانواده TTL و CMOS را بنویسید و کارکرد یکی از آنها را تشریح نمایید.



آزمایش ۳-۳

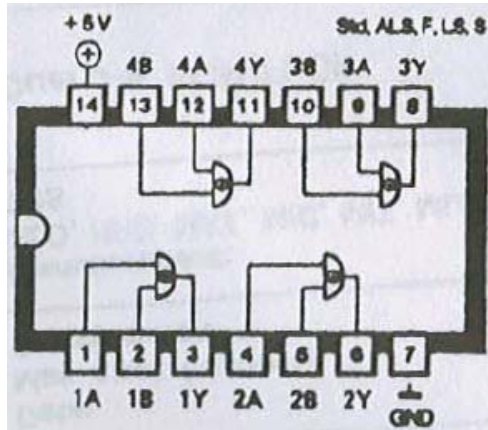
الف - یک مقایسه کننده یک بیتی طراحی و آنرا آزمایش کنید. این مدار دارای دو ورودی و سه خروجی همانند شکل زیر می‌باشد. (در هر حالت به ازای فعال بودن یک خروجی، خروجیهای دیگر باید صفر باشند)



شکل ۳-۱- مقایسه کننده

ب- تراشه مقایسه کننده چهار بیتی ۷۴۸۵ را روی برد بسته وبه ازاء حالات مختلف ورودی ، خروجیهای مدار را توسط LED مشاهده کنید .

سؤال - چگونه می توان توسط دو عدد از تراشه ۷۴۸۵ یک مقایسه کننده هشت بیتی ساخت ؟ طرح کامل مدار را رسم کنید . در طرح خود مشخص کنید که کدام تراشه برای چهار بیت بالا (MSB) و کدام برای چهار بیت پایین (LSB) می باشد .



74LS86

آزمایش سوم

آشنایی با MUX ، ENCODER ، DECODER و DEMUX

وسایل مورد نیاز : منبع تغذیه ، برد بورد ، دیود نورانی ، تراشه‌های ۷۴۰۰ ، ۷۴۰۴ ، ۷۴۴۷ ، ۷۴۱۵۳

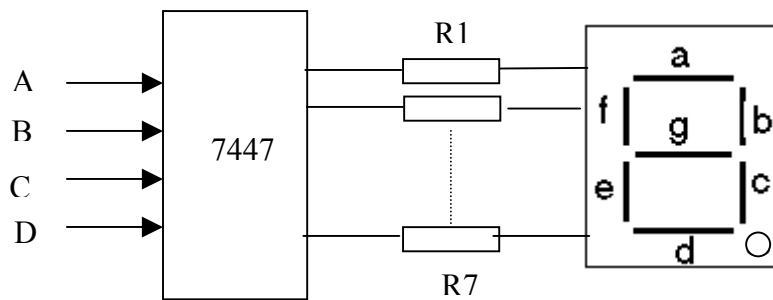
آزمایش ۱-۳

آشنایی با کدبردار BCD به هفت قسمتی (7-Seg)

الف - تراشه ۷۴۴۷ را به یک نمایشگر هفت قسمتی همانند شکل ۲-۳ متصل کرده و به ازاء حالات مختلف ورودی (۰۰۰۰ تا ۱۱۱۱) ، علائم مشخص شده روی نمایشگر را یادداشت کنید . توجه داشته باشید قرار دادن مقاومت بین تراشه و نمایشگر جهت جلوگیری از سوختن نمایشگر و تراشه الزامی است .

ب - پایه شماره ۳ تراشه (Lamp Test) را به ولتاژ LOW متصل کنید و به ازاء حالات مختلف ورودی تغییرات خروجی را مشاهده کنید .

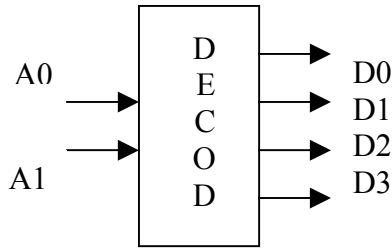
ج - پایه شماره ۵ تراشه (blank-in) را به ولتاژ LOW وصل کرده و به ازاء حالات مختلف ورودی ، اشکال نمایش داده شده توسط نمایشگر و همچنین ولتاژ پایه ۴ تراشه (blank-out) را توسط ولت‌متر مشاهده نمایید .



شکل ۳-۱

آزمایش ۲-۳

DECODER یا کدبردارها مدارهایی هستند ، با n ورودی که بر اساس هر یک از حالات ورودی یکی از 2^n خروجی آن فعال می‌گردد . اکنون با استفاده از تراشه ۷۴۰۰ (NAND) یک کدبردار ۲ به ۴ را طراحی کنید و سپس آنرا مورد آزمایش قرار داده و درستی جدول حالات آنرا بررسی کنید . (شکل ۳-۲)



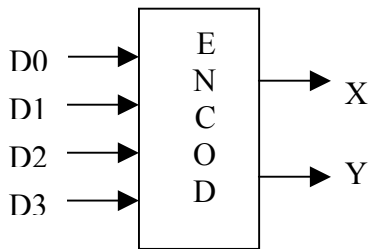
A1	A0	D0	D1	D2	D3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

شکل ۳-۲

آزمایش ۳-۳

ENCODER و یا کدگذارها عمل عکس کدبردارها را انجام می‌دهند. به اینصورت که دارای 2^n ورودی (حداکثر) و n خروجی می‌باشند. اگر یکی از ورودیها فعال باشد، خروجی یک عدد n بیتی متناظر با همان ورودی خواهد بود.

اکنون با استفاده از تراشه ۷۴۰۰ یک کدگذار ۴ به ۲ را طراحی کرده و جدول درستی آنرا با توجه به آزمایش مورد بررسی قرار دهید. (شکل ۳-۳)



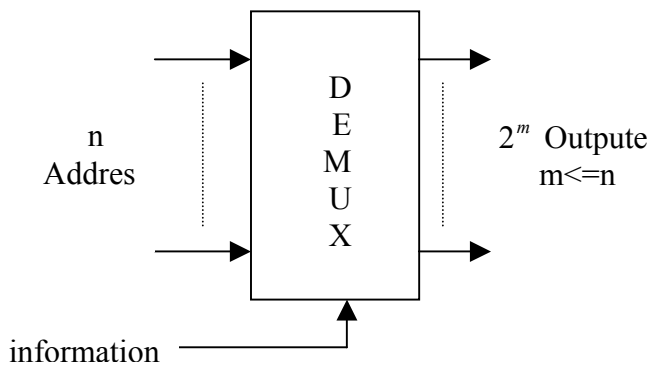
D0	D1	D2	D3	X	Y
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

شکل ۳-۳

آزمایش ۳-۴

DEMUX یا پخش کننده داده دارای n خط ورودی (بعنوان آدرس و یا خطوط کنترل) و حداکثر 2^n خروجی و تنها دارای یک ورودی می‌باشد. بر اساس فرمانی که روی خطوط کنترل می‌آید ورودی به یکی از خروجیها منتقل می‌گردد.

حال یک پخش کننده داده که دارای سه خروجی است طراحی کرده و آنرا مورد آزمایش قرار دهید. در طراحی از تراشه ۷۴۰۰ استفاده کنید.



شکل ۳-۴

آزمایش ۳-۵

تراشه ۷۴۱۵۳ دارای دو انتخاب کننده داده (MUX) می‌باشد . با مراجعه به کاتالوگ این تراشه ، با نحوه کار آن آشنا شوید .

الف - اکنون با استفاده از این تراشه و گیت‌های اضافی یک مالتی پلکسر ۸ به ۱ طراحی کنید و سپس آنرا مورد آزمایش قرار دهید .

ب - با استفاده از مالتی پلکسر ساخته شده در قسمت الف تابع $F(A,B,C)=(0,2,4,5)$ را پیاده سازی نمایید . و در عمل آنرا مورد آزمایش قرار دهید .

سؤالات :

۱-۳- تراشه ۴۵۱۱ یک کد بردار BCD به هفت قسمتی از نوع CMOS برای نمایشگرهای کاتد مشترک می‌باشد . اکنون با مراجعه به کاتالوگ این تراشه ، تفاوت این تراشه با تراشه ۷۴۴۷ را بنویسید .

۲-۳- نقش پایه Lamp-Test در تراشه‌های ۷۴۴۷ و ۷۴۴۸ چیست ؟

۳-۳- نحوه استفاده از پایه‌های blank-in و blank-out در تراشه ۷۴۴۷ را شرح دهید .

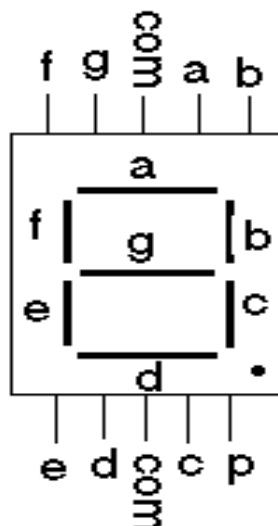
۴-۳- جهت نمایش دادن یک عدد دهدهی از چهار نمایشگر استفاده شده است که طبق شکل زیر دو عدد آن ارقام اعشاری و دو نمایشگر دیگر آن ارقام صحیح را نمایش می‌دهند . اگر بخواهیم صفرهای قبل از عدد صحیح و صفرهای بعد از عدد اعشاری را نمایش ندهیم ، اتصالات لازم بین تراشه‌ها را طراحی و رسم نمایید .



دو رقم اعشاری و سه رقم صحیح

۵-۳- تراشه ۴۰۵۱ یک مالتی پلکسر ۸ به ۱ می‌باشد با مراجعه به کتابهای CMOS ، قابلیت‌های این تراشه را بنویسید . قابلیت اضافی این تراشه نسبت به مشابه TTL آن در چیست ؟

۶-۳- چند نمونه از کاربردهای عملی انتخاب کننده‌ها و پخش کننده‌های داده را بنویسید .



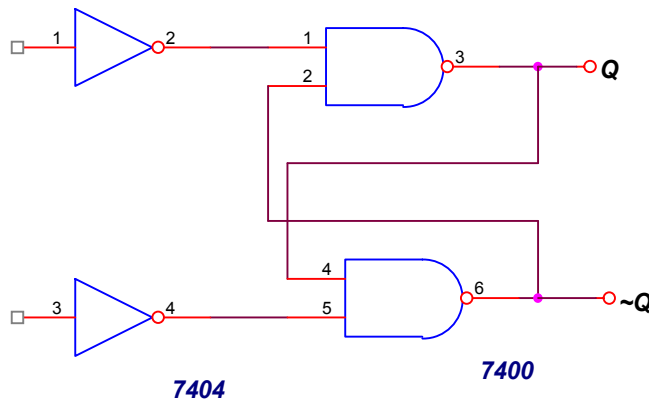
آزمایش چهارم

آشنایی با فلیپ فلاپها

وسایل مورد نیاز : منبع تغذیه ، برد بورد ، دیود نورانی ، تراشه‌های ۷۴۰۰ ، ۷۴۰۴ ، ۷۴۷۳ ، ۷۴۷۴

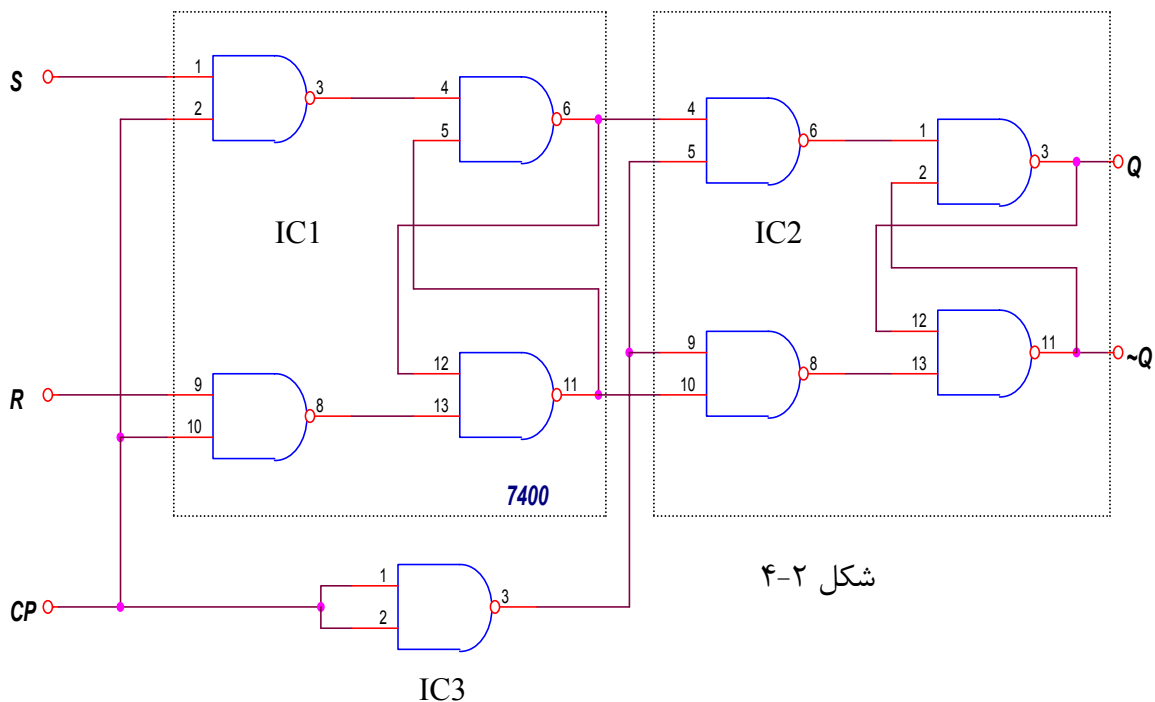
آزمایش ۴-۱

الف - مدار فلیپ فلاپ RS ناهمگام را مطابق شکل زیر بسته و آنرا به ازای ترکیبات مختلف S و R آزمایش نموده و نمودار حالت و جدول تغییرات آنرا رسم نمایید .



شکل ۴-۱

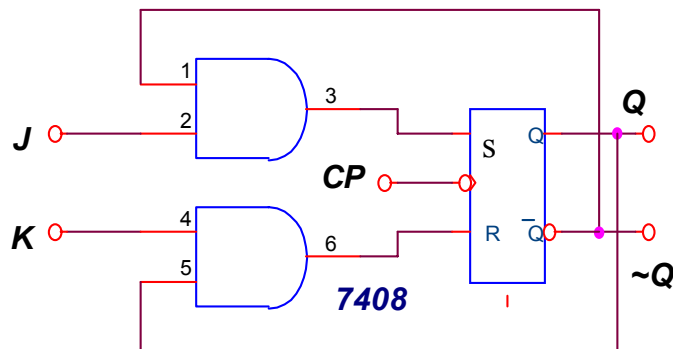
ب- مدار RS دو مرحله‌ای همگام را طبق شکل زیر ببندید . با اعمال یک پالس مربعی با فرکانس کم به ورودی CP و تغییر دادن ورودیها ، طرز کار مدار را بررسی نمایید . جدول حالات را برای مدار بنویسید . بررسی کنید که تغییر حالات در خروجی ، در لبه پایین رونده پالس ورودی اتفاق می‌افتد یا در لبه بالا رونده آن ؟
(مدار را برای انجام آزمایش بعد نگهدارید)



شکل ۴-۲

آزمایش ۲-۴

الف- با استفاده از مدار فلیپ فلاپ RS همگام آزمایش قبل ، طبق شکل زیر یک فلیپ فلاپ JK بسازید . جدول تغییر حالات مدار را بدست آورید . در مرحله بعد با اعمال ورودی ۱ به هر دو ورودی J و K و افزایش فرکانس پالس به ۱ کیلو هرتز ، خروجی Q و پالس ورودی را به صورت همزمان توسط اسکوپ مشاهده کنید . چه نتیجه‌ای از عملکرد مدار می‌گیرید ؟



شکل ۳-۴

ب- آزمایش بند الف را با تراشه ۷۴۷۳ که حاوی دو عدد فلیپ فلاپ JK می‌باشد ، انجام داده و نتیجه را بنویسید .
ج- با استفاده از تراشه ۷۴۷۳ مداری طراحی کنید که فرکانس پالس ساعت را به چهار تقسیم کند . طرح خود را رسم کنید و آزمایش نمایید .

آزمایش ۳-۴

تراشه ۷۴۷۴ دارای دو فلیپ فلاپ D می‌باشد . اکنون این فلیپ فلاپ را مورد آزمایش قرار داده و جدول تغییر حالات آنرا بنویسید . بررسی کنید که تغییر حالات در خروجی ، در لبه پایین رونده پالس ورودی اتفاق می‌افتد یا در لبه بالا رونده آن ؟

سوالات :

- ۱-۴- برای مدارهای فلیپ فلاپ RS همگام در آزمایش اول و همچنین مدار فلیپ فلاپ JK آزمایش دوم (الف) سرهای SET و RESET (هر دو فعال صفر) در محل‌های مناسب اضافه نمایید .
- ۲-۴- تراشه ۴۰۲۷ دارای دو فلیپ فلاپ JK می‌باشد . با مراجعه به کتابهای CMOS مشخصات و نحوه عملکرد آنرا بنویسید و تفاوت آنرا با تراشه ۷۴۷۳ ذکر کنید .

آزمایش پنجم

طراحی شمارنده‌های همگام و ناهمگام

وسایل مورد نیاز : منبع تغذیه ، مولد پالس ، اسیلوسکوپ ، برد بورده ، دیود نورانی ، تراشه‌های ۷۴۰۸ ، ۷۴۰۰ ، ۷۴۷۳

آزمایش ۱-۵

یک شمارنده همگام مبنای ۱۰ با استفاده از تراشه‌های ۷۴۷۳ و ۷۴۰۰ و ۷۴۰۸ طراحی کنید . ابتدا با اعمال پالس ساعت با فرکانس پایین ، خروجیها را توسط LED نمایش دهید سپس فرکانس را تا ۱ کیلو هرتز افزایش دهید و خروجیها را توسط اسکوپ مشاهده و رسم نمایید . (در جریان طرح از سرهای RESET استفاده نکنید)

آزمایش ۲-۵

یک شمارنده ناهمگام مبنای ۱۰ طراحی کنید . با اعمال پالس ساعت با فرکانس پایین ، خروجیها را توسط LED نمایش دهید .

آزمایش ۳-۵

یک شمارنده همگام صعودی/نزولی مبنای ۳ را توسط تراشه ۷۴۷۳ و حداقل گیت طراحی کنید . این شمارنده دارای یک ورودی کنترل M می‌باشد بطوریکه اگر $M=0$ شمارنده بصورت صعودی و اگر $M=1$ بصورت نزولی شمارش نماید . خروجی را توسط LED مشاهده نمایید .

آزمایش ۴-۵

با استفاده از تراشه ۷۴۷۳ و حداقل گیت‌های دیگر مداری طراحی کنید که فرکانس ورودی را بر ۵ تقسیم کند . مدار را بسته و خروجی آنرا توسط اسکوپ مشاهده کنید .

سؤالات

۱-۵- محاسن و معایب شمارنده‌های همگام و ناهمگام نسبت به یکدیگر چیست ؟

آزمایش نهم

آشنایی با تراشه شمارنده ۷۴۹۰ و ۷۴۱۹۲

آزمایش ۱-۶

تراشه ۷۴۹۰ می‌تواند بصورت یک شمارنده مبنای ۱۰ ناهمگام عمل کند. با مراجعه به کاتالوگ این تراشه، با شیوه کار آن آشنا شوید.

الف - با استفاده از تراشه ۷۴۹۰ یک شمارنده مبنای ۱۰ را پیاده سازی کنید. خروجی را توسط LED مشاهده نمایید.

ب- مدار را بصورت یک مقسم ۱۰ متقارن بسته و خروجی و پالس ورودی را بصورت همزمان توسط اسکوپ مشاهده کرده و شکل موجها را رسم کنید. سپس با اتصال LED به خروجیها، ترتیب شمارش را نیز مشاهده کنید

ج - با استفاده از دو ورودی RESET (MR1 و MR2) می‌توان شمارش در مبنای دیگر را انجام داد. در ابتدا مدار را برای شمارش در مبنای ۱۰ ببندید سپس طبق جدول زیر با اتصال پایه‌های RESET به خروجیهای مشخص شده، مبنای شمارش را در جدول بنویسید.

MR2	MR1	مبنا
Q3	Q0	
Q0	Q0	
Q2	Q1	
Q3	Q1	
Q0	Q1	

آزمایش ۲-۶

شمارنده ۷۴۱۹۲ یک شمارنده در مبنای ۱۰ همگام می‌باشد. که قابلیت شمارش صعودی و نزولی و همچنین قابلیت بارگذاری را نیز دارد. با مراجعه به کتابچه TTL با نحوه عملکرد این تراشه آشنا شوید و سپس با استفاده از این تراشه آزمایشهای زیر را انجام دهید.

الف - برای شمارش صعودی و نزولی توسط یک خط کنترل مداری را با استفاده از ۷۴۰۰ طرح نمایید.

ب - با استفاده از دو ۷۴۱۹۲ و گیت اضافی شمارنده‌ای طرح کنید که از ۱ تا ۲۰ را به صورت BCD شمارش نماید.

ج - شمارنده‌ای بسازید که از صفر تا هفت را شمارش نموده و پس از بازگشت به صفر متوقف گردد.

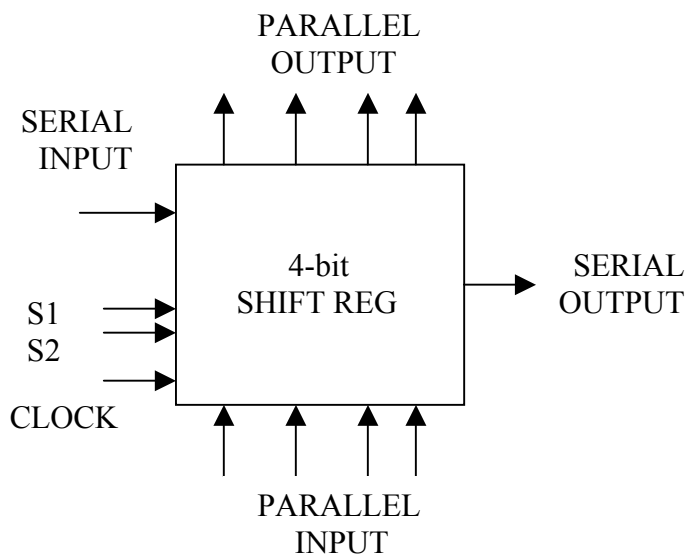
0000-0001-0010-0011-0100-0101-0110-0111-0000

آزمایش هفتم

آشنایی با SHIFT REGISTER

آزمایش ۱-۷

یک ثبات انتقالی (shift register) با ورودی و خروجی سریال و ورودی و خروجی موازی و قابلیت شیفت به راست و چپ با استفاده از تراشه‌های ۷۴۷۴ (D-FF) و ۷۴۱۵۳ (MUX 4→1) طرح کنید و مورد آزمایش قرار دهید .

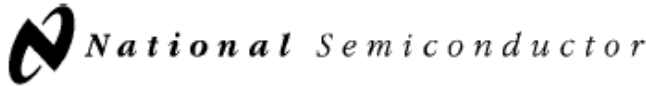


آزمایش ۲-۷

تراشه ۷۴۹۵ یک ثبات انتقالی چهار بیتی با امکانات ورودی موازی و سری و انتقال به راست و چپ می‌باشد با مراجعه به کتابچه TTL با نحوه کار آن آشنا شوید . در ادامه آزمایشهای زیر را با تراشه انجام دهید .

الف - ابتدا مقدار بایتری 0110 را به ورودی موازی اعمال کنید سپس با استفاده خط Load ، آنرا بارگذاری کرده و سپس آنرا در خروجی یکبار به راست و یکبار به چپ شیفت دهید .

ب- با استفاده از دو شیفت رجیستر موجود در تراشه ، یک شیفت رجیستر هشت بیتی انتقال به راست و سپس یک شیفت رجیستر انتقال به چپ طرح کرده و آنرا آزمایش کنید . مدار را به صورت کامل ترسیم نمایید .



June 1989

54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

General Description

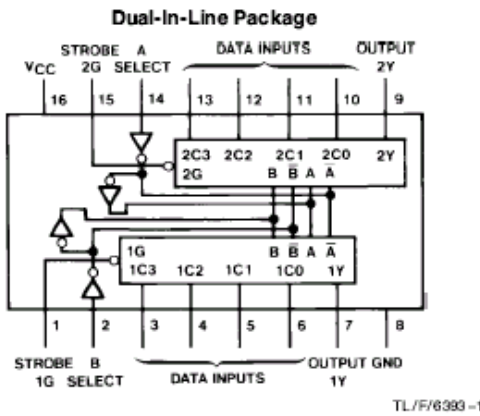
Each of these data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs are provided for each of the two four-line sections.

Features

- Permits multiplexing from N lines to 1 line
- Performs at parallel-to-serial conversion

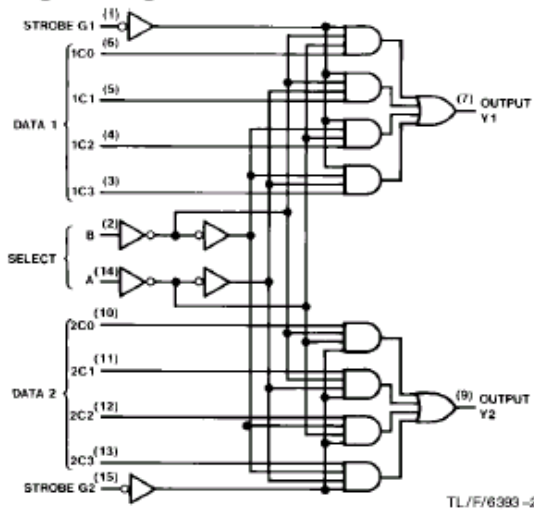
- Strobe (enable) line provided for cascading (N lines to n lines)
- High fan-out, low impedance, totem pole outputs
- Typical average propagation delay times
 - From data 14 ns
 - From strobe 19 ns
 - From select 22 ns
- Typical power dissipation 31 mW
- Alternate Military/Aerospace device (54LS153) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS153DMQB, 54LS153FMQB, 54LS153LMQB, DM54LS153J, DM54LS153W, DM74LS153M or DM74LS153N
See NS Package Number E20A, J16A, M16A, N16E or W16A

Logic Diagram



Function Table

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.
H - High Level, L - Low Level, X - Don't Care

54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

آزمایش هشتم

آشنایی با ALU

با مراجعه به کتابچه TTL با تراشه ۷۴۱۸۱ که یک ALU می‌باشد بطور کامل آشنا شوید .
 - مداری طراحی کنید که دارای دو DATA Register (A و B) ، یک ALU و یک کنترل کننده می‌باشد .
 بطوریکه با دادن کدهای مختلف به ALU ، محاسبات مختلف را بر روی ورودیهای A و B انجام دهد . A به یکطرف ALU از طریق BUS وصل شده و B به طرف دیگر آن ، هر دو رجیستر می‌توانند از خروجی ALU اطلاعات بگیرند . مدار را با استفاده از ۷۴۱۸۱ و رجیسترها و ۷۴۱۵۷ (MUX 2→1) بسازید . این مدار باید عملیات زیر را انجام دهد .

کنترل	خروجی
1	Data 1 → A
2	Data 2 → B
3	$\sim A \rightarrow A$
4	ADD (A , B) → A
5	DEC (A) → A
6	A → B
7	$\sim (A \oplus B) \rightarrow A$
8	0 → A

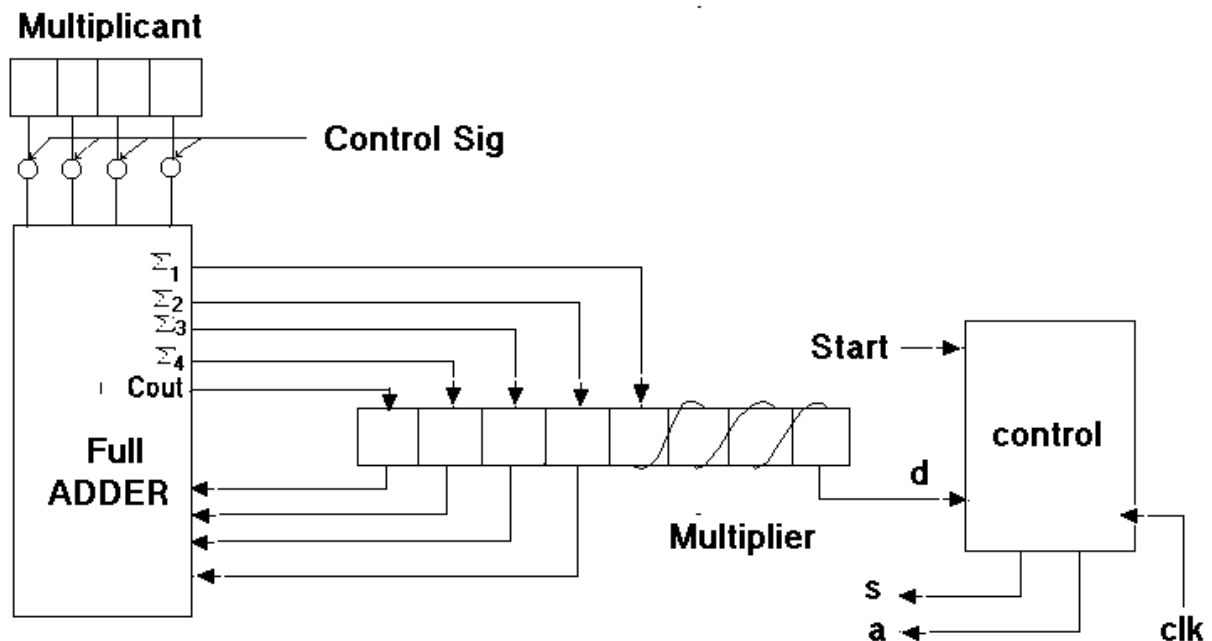
ضرب کننده دو عدد چهار بیت با استفاده از روش Add & Shift

برای ضرب دو عدد چهار بیت که یکی (Multiplicand) در رجیستری ۴ بیت و دیگری (Multiplier) در چهار بیت با ارزش کمتر یک رجیستر ۸ بیت قرار دارد به طریق زیر عمل کنید :

با توجه به بیت سمت راست (LSB) Multiplier ، عمل Shift (برای صفر) و یا عمل Add & Shift (برای یک) انجام گیرد . باین ترتیب در نهایت پس از چهار بار شیفت ، نتیجه در رجیستر هشت بیتی قرار خواهد گرفت .

با توجه به توضیحات بالا ، اکنون با استفاده از دو رجیستر ۴ و ۸ بیتی ، شمارنده ، جمع کننده چهار بیت و مدار کنترل ساده ، یک ضرب کننده چهار بیت بسازید .

Load کردن رجیسترها از اعداد می تواند بهر صورتی انجام گیرد ولی مدار باید پس از انجام ضرب (چهار بار شیفت) توسط مدار کنترل متوقف گردد .



لطفاً نظرات و پیشنهادات خود را در مورد این دستور کار و یا آزمایشگاه بطور کلی ، در گزارش کار پایانی بنویسید
با تشکر فراوان



June 1992

DM54LS181/DM74LS181 4-Bit Arithmetic Logic Unit

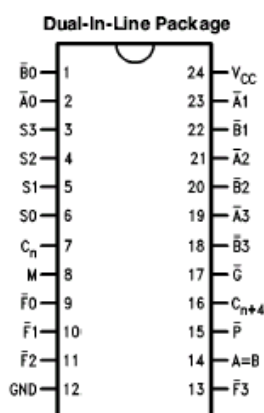
General Description

The ⁺LS181 is a 4-bit Arithmetic Logic Unit (ALU) which can perform all the possible 16 logic operations on two variables and a variety of arithmetic operations.

Features

- Provides 16 arithmetic operations: add, subtract, compare, double, plus twelve other arithmetic operations
- Provides all 16 logic operations of two variables: exclusive-OR, compare, AND, NAND, OR, NOR, plus ten other logic operations
- Full lookahead for high speed arithmetic operation on long words

Connection Diagram



TL/F/9821-1

Order Number DM54LS181J, DM54LS181W or DM74LS181N
See NS Package Number J24A, N24A or W24C

Pin Names	Description
$\bar{A}0 - \bar{A}3$	Operand Inputs (Active LOW)
$\bar{B}0 - \bar{B}3$	Operand Inputs (Active LOW)
S0-S3	Function Select Inputs
M	Mode Control Input
C _n	Carry Input
$\bar{F}0 - \bar{F}3$	Function Outputs (Active LOW)
A = B	Comparator Output
\bar{G}	Carry Generate Output (Active LOW)
\bar{P}	Carry Propagate Output (Active LOW)
C _{n+4}	Carry Output

DM54LS181/DM74LS181 4-Bit Arithmetic Logic Unit

Logic Mode Test Table III **Function Inputs** S1 = S2 = M = 4.5V, S0 = S3 = 0V

Symbol	Input Under Test	Other Input Same Bit		Other Data Inputs		Output Under Test
		Apply 4.5V	Apply GND	Apply 4.5V	Apply GND	
t _{PLH} t _{PHL}	\bar{A}	\bar{B}	None	None	Remaining \bar{A} and \bar{B} , C _n	Any \bar{F}
t _{PLH} t _{PHL}	\bar{B}	\bar{A}	None	None	Remaining \bar{A} and \bar{B} , C _n	Any \bar{F}

Functional Description

The 'LS181 is a 4-bit high speed parallel Arithmetic Logic Unit (ALU). Controlled by the four Function Select inputs (S0-S3) and the Mode Control input (M), it can perform all the 16 possible logic operations or 16 different arithmetic operations on active HIGH or active LOW operands. The Function Table lists these operations

When the Mode Control input (M) is HIGH, all internal carries are inhibited and the device performs logic operations on the individual bits as listed. When the Mode Control input is LOW, the carries are enabled and the device performs arithmetic operations on the two 4-bit words. The device incorporates full internal carry lookahead and provides for either ripple carry between devices using the C_{n+4} output, or for carry lookahead between packages using the signals \bar{P} (Carry Propagate) and \bar{G} (Carry Generate). In the ADD mode, \bar{P} indicates that \bar{F} is 15 or more, while \bar{G} indicates that \bar{F} is 16 or more. In the SUBTRACT mode, \bar{P} indicates that \bar{F} is zero or less, while \bar{G} indicates that \bar{F} is less than zero. \bar{P} and \bar{G} are not affected by carry in. When speed requirements are not stringent, it can be used in a simple ripple carry mode by connecting the Carry output (C_{n+4}) signal to the Carry input (C_n) of the next unit. For high speed operation the device is used in conjunction with the 9342 or 93S42 carry lookahead circuit. One carry lookahead pack-

age is required for each group of four 'LS181 devices. Carry lookahead can be provided at various levels and offers high speed capability over extremely long word lengths.

The A = B output from the device goes HIGH when all four \bar{F} outputs are HIGH and can be used to indicate logic equivalence over four bits when the unit is in the subtract mode. The A = B output is open-collector and can be wired-AND with other A = B outputs to give a comparison for more than four bits. The A = B signal can also be used with the C_{n+4} signal to indicate A > B and A < B.

The Function Table lists the arithmetic operations that are performed without a carry in. An incoming carry adds a one to each operation. Thus, select code LHHH generates A minus B minus 1 (2s complement notation) without a carry in and generates A minus B when a carry is applied. Because subtraction is actually performed by complementary addition (1s complement), a carry out means borrow; thus a carry is generated when there is no underflow and no carry is generated when there is underflow. As indicated, this device can be used with either active LOW inputs producing active LOW outputs or with active HIGH inputs producing active HIGH outputs. For either case the table lists the operations that are performed to the operands labeled inside the logic symbol.

Function Table

Mode Select Inputs				Active LOW Operands & F _n Outputs		Active HIGH Operands & F _n Outputs	
S3	S2	S1	S0	Logic (M = H)	Arithmetic** (M = L) (C _n = L)	Logic (M = H)	Arithmetic** (M = L) (C _n = H)
L	L	L	L	\bar{A}	A minus 1	\bar{A}	A
L	L	L	H	$\bar{A}\bar{B}$	AB minus 1	$\bar{A} + \bar{B}$	A + B
L	L	H	L	$\bar{A} + \bar{B}$	$\bar{A}\bar{B}$ minus 1	$\bar{A}\bar{B}$	A + \bar{B}
L	L	H	H	Logic 1	minus 1	Logic 0	minus 1
L	H	L	L	$\bar{A} + \bar{B}$	A plus (A + \bar{B})	$\bar{A}\bar{B}$	A plus $\bar{A}\bar{B}$
L	H	L	H	\bar{B}	AB plus (A + \bar{B})	\bar{B}	(A + B) plus $\bar{A}\bar{B}$
L	H	H	L	$\bar{A} \oplus \bar{B}$	A minus B minus 1	A ⊕ B	A minus B minus 1
L	H	H	H	A + \bar{B}	A + \bar{B}	$\bar{A}\bar{B}$	AB minus 1
H	L	L	L	$\bar{A}\bar{B}$	A plus (A + B)	$\bar{A} + \bar{B}$	A plus AB
H	L	L	H	A ⊕ B	A plus B	$\bar{A} \oplus \bar{B}$	A plus B
H	L	H	L	B	$\bar{A}\bar{B}$ plus (A + B)	B	(A + \bar{B}) plus AB
H	L	H	H	A + B	A + B	AB	AB minus 1
H	H	L	L	Logic 0	A plus A*	Logic 1	A plus A*
H	H	L	H	$\bar{A}\bar{B}$	AB plus A	A + \bar{B}	(A + B) plus A
H	H	H	L	AB	$\bar{A}\bar{B}$ minus A	A + B	(A + \bar{B}) plus A
H	H	H	H	A	A	A	A minus 1

*Each bit is shifted to the next most significant position.

**Arithmetic operations expressed in 2s complement notation.

